



## نام درس: آزمون و آزمون پذیری، ۸۱۰۱۴۳۸

Course Name: Test & Testability, 8101438										نام انگلیسی درس	
واحد: د:	مهندسی کامپیوتر					مهندسی برق				نوع درس	
	فناوری اطلاعات	سخت افزار	نرم افزار	دیجیتال	کنترل	پزشکی	قدرت	الکترونیک	مخابرات		
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>		
										<input type="checkbox"/>	اجباری
										<input type="checkbox"/>	اختیاری
										مقطع	
										کارشناسی <input type="checkbox"/>	
										تحصیلات تکمیلی <input type="checkbox"/>	
										همیناها	
										نام دروس و شماره آنها	
										پیش نیازها	
										نام دروس و شماره آنها	
										مطالب پیش نیاز	
										مباحث مورد نیاز	
										کتاب های مرجع	
										[1] Z. Navabi, "Digital System Test and Testable Design: Using HDL Models and Architectures"; January 2011; Springer; ISBN: 978-1-4419-7547-8.	
										استاد هماهنگ کننده	
										دکتر زین العابدین نوابی	
										اهداف درس	
										هدف این درس ..... این درس در مورد آزمون سیستم های دیجیتال و طراحی آزمون پذیر در سطوح گیت، انتقال ثبات و سیستم است. مفاهیم آزمون و آزمون پذیری در متدولوژی ها و تمرین های طراحی دیجیتال بررسی می شود. در این درس چگونگی استفاده روش های آزمون و طراحی آزمون پذیر برای سطوح انتزاع مختلف (به خصوص سطح انتقال ثبات) و متدولوژی های درستی سنجی نشان داده می شود. در این درس از مدل ها و testbench های وریلاگ برای پیاده سازی و توضیح الگوریتم های شبیه سازی خرابی و تولید آزمون استفاده می شود. در بخش آزمون پذیری انواع زنجیره های پویا و روش های BIST در وریلاگ توضیح داده شده و از testbench های وریلاگ به عنوان تسترهای مجازی برای آزمایش و ارزیابی روش های آزمون پذیری استفاده می شود.	
										نتایج درس	
										دانشجویانی که این درس را با موفقیت پشت سر بگذارند قادر خواهند بود -۱-	
										فهرست مباحث	
										۱- اصول تست و نقش HDL ها ۲- استفاده از زبان های توصیف سخت افزاری در طراحی و تست ۳- مدلسازی خرابی و عیب از ترانزیستور تا سطح سیستم ۴- روش ها و کاربردهای شبیه سازی خرابی مدارهای سطح انتقال ثبات (RTL) ۵- روش ها و الگوریتم های تولید الگوهای تست برای کنترلر و مسیرهادهای مدارهای سطح انتقال ثبات (RTL) ۶- الگوریتم های تولید تست قطعی ۷- مکانیسم های تست درونی مدارهای سطح انتقال ثبات (RTL) - طراحی برای تست با استفاده از	



پویشدر کنترلر و مسیر داده ۸- مکانیسم‌های تست بیرونی مدارهای سطح انتقال ثبات (RTL) - استاندارد IEEE در روش‌های دسترسی تست ۹- تست سیستم بر روی تراشه با استفاده از استانداردهای IEEE در دسترسی تست ۱۰- منطق تست خودکار تعبیه شده ۱۱- فشرده‌سازی تست ۱۲- تست حافظه با استفاده از BIST حافظه ۱۳- تست مبتنی بر هسته ۱۴- تست در سطح طراحی سیستم	
	نرم‌افزارها و ابزارهای مورد نیاز
...	تکالیف پیشنهادی
....	پروژه‌های پیشنهادی
تکالیف % کوئیز ... امتحان میان ترم امتحان پایان ترم	نمره‌دهی پیشنهادی
[1] Laung-Terng Wang, Cheng-Wen Wu, and Xiaoqing Wen, "VLSI Test Principles and Architectures", Morgan Kaufmann Publishers, 2006, ISBN-10: 0-12-370597-5. [2] Niraj Jha and Sandeep Gupta, "Testing of Digital Systems", Cambridge University Press, 2003, ISBN: 0-521-77356-3. [3] Miron Abramovici, Melvin A. Breuer and Arthur D. Friedman, "Digital System Testing and Testable Design" Computer Science Press, 1990, ISBN: 0-7167-8179-4. [4] Michael L. Bushnell and Vishwani D. Agrawal, "Essential of Electronic Testing, for Digital Memory & Mixed-Signal VLSI Circuits", Kluwer Academic Publishing, 2000, ISBN: 0-7923-7991-8. [5] Alexander Miczo, "Digital Logic Testing and Simulation", 2nd Edition, John Wiley & Sons, Inc., Publishing, 2003, ISBN: 0-471-43995-9.	سایر مراجع
دکتر زین العابدین نوابی	تنظیم کننده
۱۳۹۶/۰۹/۲۶	تاریخ تنظیم